

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-144673
 (43)Date of publication of application : 29.05.1998

(51)Int.Cl. H01L 21/312
 H01L 21/316
 H01L 21/768

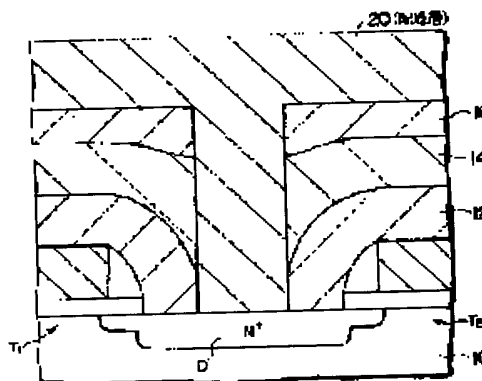
(21)Application number : 08-308786 (71)Applicant : YAMAHA CORP
 (22)Date of filing : 05.11.1996 (72)Inventor : INOUE YUSHI

(54) WIRING FORMING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To form a wiring base film having good flatness and high chemicals resistance in a short time.

SOLUTION: On the surface of a semiconductor substrate 10 an insulating film 12 is formed to cover circuit elements such as transistors T1, T2 by the CVD, etc., a hydrogen siltheschioxane resin film is formed to cover the film 12 by spin-coating, etc., and annealed at a low temp. of 400° C or less and then a high temp. of 700° C or more. The high temp. annealing makes compact a silicon oxide film 14 changed from the resin film and takes a high speed heat annealing in an oxidative atmosphere such as water vapor. As desired, a CVD insulation film 16 is formed on the film 14 and planarized by COMPONENTS, etc., and connecting holes are formed to form a wiring layer 20.



LEGAL STATUS

[Date of request for examination] 06.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3082688

[Date of registration] 30.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-144673

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/312
21/316
21/768

H 0 1 L 21/312
21/316
21/90

C
P
Q
S

審査請求 未請求 請求項の数 2 F D (全 5 頁)

(21) 出願番号 特願平8-308786

(22) 出願日 平成8年(1996)11月5日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 井上 雄史

静岡県浜松市中沢町10番1号ヤマハ株式会
社内

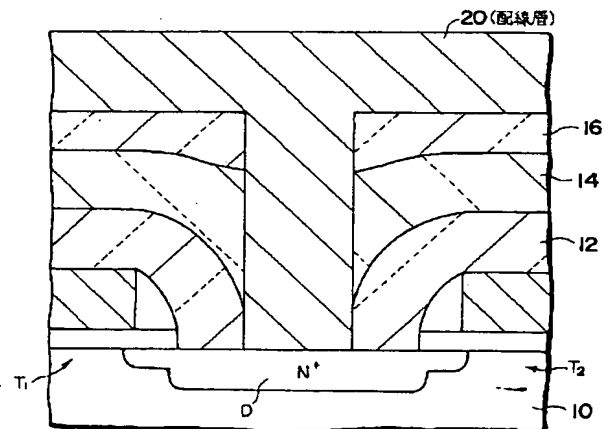
(74) 代理人 弁理士 伊沢 敏昭

(54) 【発明の名称】 配線形成法

(57) 【要約】

【課題】 配線形成法において、平坦性良好で耐薬品性に優れた配線下地膜を短時間で形成可能にする。

【解決手段】 半導体基板10の表面にトランジスタ T_1 、 T_2 等の回路素子を覆ってCVD法等により絶縁膜12を形成した後、膜12を覆って回転塗布法等により水素シルセスキオキサン樹脂膜を形成し、この樹脂膜に400℃以下での低温アニール処理と700℃以上での高温アニール処理とを順次に施す。高温アニール処理は、樹脂膜から変化した酸化シリコン膜14の膜質を緻密化するためのもので、水蒸気等の酸化性雰囲気中で高速熱アニール法により行なう。所望により膜14の上にCVD絶縁膜16を形成し、膜16にCMP等の平坦化処理を施した後、接続孔を形成し、配線層20を形成する。



【特許請求の範囲】

【請求項 1】半導体基板の一方の主面に被接続部を覆って気相堆積法により絶縁膜を形成する工程と、前記絶縁膜の上に水素シルセスキオキサン樹脂膜を平坦状に塗布する工程と、比較的低温での第 1 の熱処理により前記水素シルセスキオキサン樹脂膜を酸化シリコン膜にする工程と、高速熱アニール法を用いる酸化性雰囲気中での比較的高温での第 2 の熱処理により前記酸化シリコン膜の膜質を緻密化する工程と、少なくとも前記絶縁膜と前記第 2 の熱処理を受けた酸化シリコン膜とを含む配線下地膜に前記被接続部に達する接続孔を形成する工程と、前記配線下地膜の上に前記接続孔を介して前記被接続部につながる配線層を形成する工程とを含む配線形成法。

【請求項 2】半導体基板の一方の主面に被接続部を覆って気相堆積法により第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜の上に水素シルセスキオキサン樹脂膜を平坦状に塗布する工程と、比較的低温での第 1 の熱処理により前記水素シルセスキオキサン樹脂膜を酸化シリコン膜にする工程と、高速熱アニール法を用いる酸化性雰囲気中での比較的高温での第 2 の熱処理により前記酸化シリコン膜の膜質を緻密化する工程と、前記第 2 の熱処理を受けた酸化シリコン膜の上に気相堆積法により第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜を表面側から平面的に除去して前記第 2 の絶縁膜を平坦状に残存させる工程と、少なくとも前記第 1 の絶縁膜と前記第 2 の熱処理を受けた酸化シリコン膜と前記第 2 の絶縁膜とを含む配線下地膜に前記被接続部に達する接続孔を形成する工程と、前記配線下地膜の上に前記接続孔を介して前記被接続部につながる配線層を形成する工程とを含む配線形成法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、LSI の配線形成等に用いるに好適な配線形成法に関し、特に平坦状に塗布した水素シルセスキオキサン樹脂膜を酸化シリコン膜にした後高速熱アニール(Rapid Thermal Anneal)法を用いる酸化性雰囲気中での熱処理により酸化シリコン膜の膜質を緻密化することにより平坦性良好で耐薬品性に優れた配線下地膜を短時間で形成可能としたものである。

【0002】

【従来の技術】従来、LSI 等の配線形成法としては、図 9、10 に示すものが知られている(例えば、特開平 7-283310 号公報参照)。

【0003】図 9 の工程では、シリコンからなる半導体基板 1 の表面に周知の方法により LDD(Lightly Doped Drain) 構造の MOS 型トランジスタ T を形成する。ト

ランジスタ T において、F はシリコンオキサイド等のゲート絶縁膜、G はポリシリコン又はポリサイド等のゲート電極層、P s、P d はシリコンオキサイド等のサイドスペーサ、S はサイドスペーサ P s の下方に N⁻ 型領域を有する N⁺ 型ソース領域、D はサイドスペーサ P d の下方に N⁻ 型領域を有する N⁺ 型ドレイン領域である。

【0004】次に、基板 1 の表面にトランジスタ T を覆って CVD (ケミカル・ベーパー・デポジション) 法によりシリコンオキサイドからなる絶縁膜 2 を形成する。

10 絶縁膜 2 の上には、シラノール基を含む SOG (スピニン・オン・ガラス) 膜 3 を回転塗布法等により平坦状に塗布する。SOG 膜 3 には、低温アニール処理を施した後、酸化性雰囲気中で高温アニール処理を施す。酸化性雰囲気中での高温アニール処理は、SOG 膜 3 の膜質を緻密化するために行なわれる。

【0005】この後、周知のホトリソグラフィ及び選択エッチング処理により絶縁膜 2 及び SOG 膜 3 の積層にドレイン領域 D の一部に達する接続孔 4 を形成する。

【0006】図 10 の工程では、接続孔 4 の底部のシリコン表面に自然に生じたシリコンオキサイド膜を除去するために接続孔 4 の内部を希フッ酸で洗浄する。そして、基板上面に配線材を被着してその被着層をパターンニングすることにより配線層 5 を形成する。配線層 5 は、接続孔 4 を介してドレイン領域 D の一部に接続される。

【0007】上記した方法によれば、酸化性雰囲気中での高温アニール処理により SOG 膜 3 の膜質を緻密化したので、図 10 の希フッ酸洗浄工程において接続孔 4 につながる空孔 V が形成されるのを防ぐことができる。すなわち、高温アニール処理を酸化性雰囲気中ではなく例えば窒素雰囲気中で行なった場合は、SOG 膜 3 において空孔 V に相当する個所のエッチング速度が異常に速くなるため、希フッ酸洗浄工程で空孔 V が形成されるが、図 9、10 の方法によれば空孔 V の形成を防ぐことができる。空孔 V は、配線材の一部が入り込むなどして配線層 5 と他の配線層との短絡を招いたり、配線層 5 の接続状態を劣化させたりするものであるから、空孔 V の形成を防止することで配線形成歩留りや配線の信頼性を向上させることができる。

【0008】

40 【発明が解決しようとする課題】上記した従来技術によると、空孔 V の形成を防止するには酸化性雰囲気中での高温アニール処理を長時間行なう必要があり、長時間の高温アニール処理によりトランジスタ T の性能が劣化することが判明した。

【0009】この発明の目的は、平坦性良好で耐薬品性に優れた配線下地膜を短時間で形成することができる新規な配線形成法を提供することにある。

【0010】

50 【課題を解決するための手段】この発明に係る配線形成法は、半導体基板の一方の主面に被接続部を覆って気相

堆積法により絶縁膜を形成する工程と、前記絶縁膜の上に水素シルセスキオキサン樹脂膜を平坦状に塗布する工程と、比較的低温での第1の熱処理により前記水素シルセスキオキサン樹脂膜を酸化シリコン膜にする工程と、高速熱アニール法を用いる酸化性雰囲気中での比較的高温での第2の熱処理により前記酸化シリコン膜の膜質を緻密化する工程と、少なくとも前記絶縁膜と前記第2の熱処理を受けた酸化シリコン膜とを含む配線下地膜に前記被接続部に達する接続孔を形成する工程と、前記配線下地膜の上に前記接続孔を介して前記被接続部につながる配線層を形成する工程とを含むものである。

【0011】この発明の方法によれば、絶縁膜の上に平坦状に塗布した水素シルセスキオキサン樹脂膜を第1の熱処理により酸化シリコン膜にした後、秒単位の処理が可能な高速熱アニール法を用いる第2の熱処理により酸化シリコン膜の膜質を緻密化するので、絶縁膜及び酸化シリコン膜を含む配線下地膜としては、平坦性良好で希フッ酸等に対する耐薬品性に優れたものを短時間で形成することができる。

【0012】

【発明の実施の形態】図1～8は、この発明の一実施形態に係る配線形成法を示すもので、各々の図に対応する工程(1)～(8)を順次に説明する。

(1) シリコンからなる半導体基板10の表面にMOS型トランジスタ T_1 、 T_2 を形成する。各トランジスタは、図9に関して前述したのと同様のLDD構造のものであり、図9と同様の部分には同様の符号を付して詳細な説明を省略する。

(2) 基板10の表面にトランジスタ T_1 、 T_2 を覆ってCVD法によりシリコンオキサイドからなる絶縁膜12を形成する。そして、絶縁膜12の膜質を緻密化するため、絶縁膜12に700℃以上での高温アニール処理を施す。

(3) 水素シルセスキオキサン樹脂($\text{HSiO}_{3/2}$) $_n$ をMIBK(メチル・イソブチル・ケトン)で溶解した溶液を絶縁膜12の上に平坦状に回転塗布して水素シルセスキオキサン樹脂膜14Aを形成する。このときの回転塗布の条件は、一例として、5000rpm、30秒とすることができる。

(4) 樹脂膜14Aに400℃以下の低温アニール処理を施すことにより樹脂膜14Aをセラミック状の酸化シリコン膜14にする。低温アニール処理は、樹脂膜14Aから溶剤を除去すると共に樹脂膜14Aを酸化シリコン化するためのもので、一例として次のような条件で行なうことができる。すなわち、 N_2 等の不活性ガス雰囲気中で150℃60秒+200℃60秒+300℃60秒のホットプレートベークの後、縦型炉で不活性ガス雰囲気中400℃60分のアニールを行なう。

【0013】次に、酸化シリコン膜14に700℃以上での高温アニール処理を施すことにより膜14を緻密な

膜質の酸化シリコン膜にする。高温アニール処理は、セラミック状の酸化シリコン膜14において脱水及びガラス転移を生じさせるためのもので、一例として次のような条件で行なうことができる。すなわち、酸化性雰囲気(例えば水蒸気)中で850℃まで10秒で昇温した後、850℃で10秒間保持するように高速熱アニール(例えばランプアニール)を行なう。

【0014】このように高速熱アニール処理により酸化シリコン膜14の膜質の緻密化を行なうと、短時間で処理が終了し、トランジスタ T_1 、 T_2 等の回路素子の特性劣化を防止することができる。

(5) 緻密化処理を受けた酸化シリコン膜14を覆ってCVD法によりBPSG(ボロン・リンケイ酸ガラス)又はPSG(リンケイ酸ガラス)からなる絶縁膜16を100～1000nmの厚さに形成する。絶縁膜16として常圧CVD法によりBPSG膜を形成する場合、基板温度:400℃

原料ガス: SiH_4 (46.25sccm) + PH_3 (8.75sccm) + B_2H_6 (7.5sccm) + O_2 (7000sccm) + N_2 (50000sccm)とすることができる。

【0015】また、絶縁膜16として常圧CVD法によりPSG膜を形成する場合、

基板温度:400℃
原料ガス: SiH_4 (240sccm) + PH_3 (70sccm) + N_2O (5000sccm) + N_2 (2730sccm)とすることができる。

(6) CMP(化学・機械研磨)処理により絶縁膜16を表面側から平面的に除去し、絶縁膜16を平坦状に残存させる。

(7) ホトリソグラフィ及び選択的ドライエッチング処理により絶縁膜12、酸化シリコン膜14及び残存絶縁膜16の積層にドレイン領域Dの一部に達する接続孔18を形成する。

(8) 希フッ酸により接続孔18の内部を洗浄し、接続孔18の底部のシリコン表面に自然に生じたシリコンオキサイド膜を除去する。このとき、酸化シリコン膜14には、図4の工程で膜質緻密化処理を施してあるため、希フッ酸のエッチングによる空孔(図10のVに相当)は形成されない。

【0016】希フッ酸洗浄処理に引き続いて基板上面に配線材を被着し、その被着層をホトリソグラフィ及び選択的ドライエッチング処理によりパターンニングして配線層20を形成する。配線層20は、接続孔18を介してドレイン領域Dに接続される。

【0017】上記した実施形態によれば、接続孔18を希フッ酸で洗浄する工程において接続孔につながる空孔が形成されないので、配線形成歩留りが向上すると共に

配線の信頼性が向上する。

【0018】また、絶縁膜16に平坦化処理を施してから配線層20を形成するので、配線形成歩留りが一層向上する。

【0019】この発明は、上記した実施形態に限定されるものではなく、種々の改変形態で実施可能なものである。例えば、次のような変更が可能である。

【0020】(1) 絶縁膜16のための平坦化処理としては、CMP処理に代えてエッチバック処理を用いてもよい。

【0021】(2) 絶縁膜16は、平坦化処理を施さなくても使用してもよい。また、絶縁膜16の形成を省略してもよい。

【0022】(3) 回路素子としては、MOS型トランジスタ T_1 、 T_2 に限らず、バイポーラトランジスタ等であってもよい。

【0023】

【発明の効果】以上のように、この発明によれば、平坦状に塗布した水素シルセスキオキサン樹脂膜を酸化シリコン膜にした後高速熱アニール法を用いる酸化性雰囲気中での熱処理により酸化シリコン膜の膜質を緻密化するようにしたので、平坦性良好で耐薬品性に優れた配線下地膜を短時間で形成可能となる。従って、接続孔洗浄時の空孔形成を防止することができるため、配線形成歩留りが向上すると共に配線の信頼性が向上する効果が得られる。

【0024】その上、緻密化処理した酸化シリコン膜の上に気相堆積法により絶縁膜を形成すると共にこの絶縁

膜に平坦化処理を施すようにしたので、配線下地膜の平坦性が一層良好となり、配線形成歩留りが一層向上する効果もある。

【図面の簡単な説明】

【図1】 この発明の一実施形態に係る配線形成法におけるトランジスタ形成工程を示す基板断面図である。

【図2】 図1の工程に続く絶縁膜形成工程を示す基板断面図である。

【図3】 図2の工程に続く樹脂膜形成工程を示す基板断面図である。

【図4】 図3の工程に続く酸化シリコン膜形成工程を示す基板断面図である。

【図5】 図4の工程に続く絶縁膜形成工程を示す基板断面図である。

【図6】 図5の工程に続くCMP工程を示す基板断面図である。

【図7】 図6の工程に続く接続孔形成工程を示す基板断面図である。

【図8】 図7の工程に続く配線形成工程を示す基板断面図である。

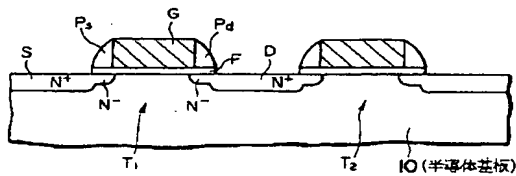
【図9】 従来の配線形成法における接続孔形成工程を示す基板断面図である。

【図10】 図9の工程に続く接続孔洗浄工程を示す基板断面図である。

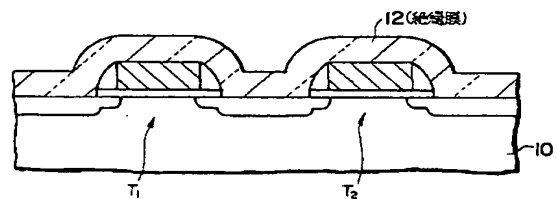
【符号の説明】

10：半導体基板、12、16：絶縁膜、14：酸化シリコン膜、18：接続孔、20：配線層、 T_1 、 T_2 ：トランジスタ。

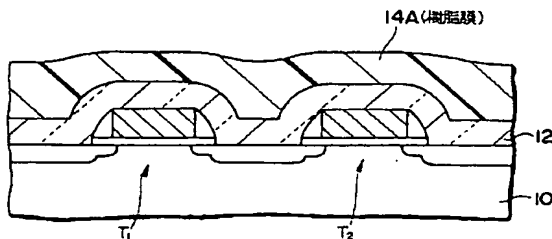
【図1】



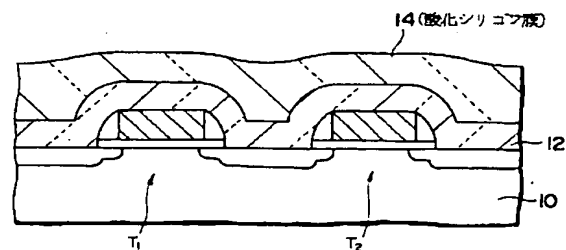
【図2】



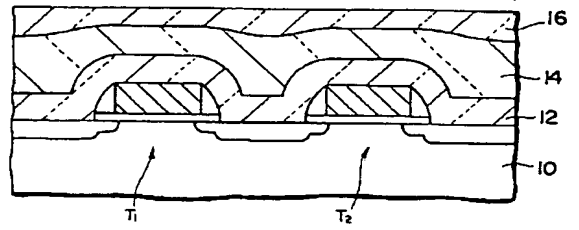
【図3】



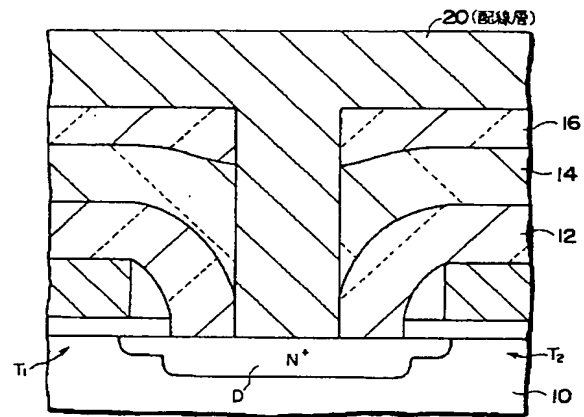
【図4】



【図 6】



【圖 8】



【圖 10】

